



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001168281 A**(43) Date of publication of application: **22.06.01**

(51) Int. Cl.

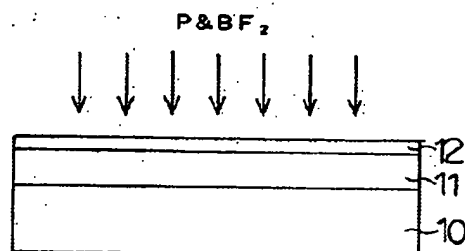
H01L 27/04
H01L 21/822(21) Application number: **11349319**(71) Applicant: **SONY CORP.**(22) Date of filing: **08.12.99**(72) Inventor: **KANEMATSU SHIGERU**
MIWA HIROYUKI**(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD**is about $1 \times 10^{-1} \Omega \cdot \text{cm}$ can be realized.

COPYRIGHT: (C)2001.JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the polycrystalline silicon resistance element of high performance and high resistance, which has the less fluctuation of a resistance value by AI wiring thermal treatment.

SOLUTION: The polycrystalline silicon film 12 of about 150 nm is formed on a field oxidized film 11 formed on a silicon substrate 10 by a CVD method. N-type impurity (phosphorus, for example) and P-type impurity (boron, for example) are ion-implanted into the polycrystalline silicon film 12 so that total concentration in polycrystalline silicon becomes not less than $1 \times 10^{20} \text{ cm}^{-3}$. Phosphorus is ion-implanted so that impurity concentration becomes $1.7 \times 10^{20} \text{ cm}^{-3}$ and boron is ion-implanted so that impurity concentration becomes $2 \times 10^{20} \text{ cm}^{-3}$. The total concentration of N-type impurity and P-type impurity, which are thus implanted, becomes $3.7 \times 10^{20} \text{ cm}^{-3}$ but they are mutually canceled. Thus, only $3 \times 10^{19} \text{ cm}^{-3}$ of P-type impurity contributes to conduction and high resistance whose specific resistance



10...シリコン基板
11...フィールド酸化膜
12...多結晶シリコン膜

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168281

(P2001-168281A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 27/04		H 0 1 L 27/04	P 5 F 0 3 8
21/822			

審査請求 未請求 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願平11-349319

(22) 出願日 平成11年12月8日 (1999.12.8)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 兼松 成

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 三輪 浩之

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

Fターム (参考) 5F038 AR09 AR10 AR22 AR26 AV05

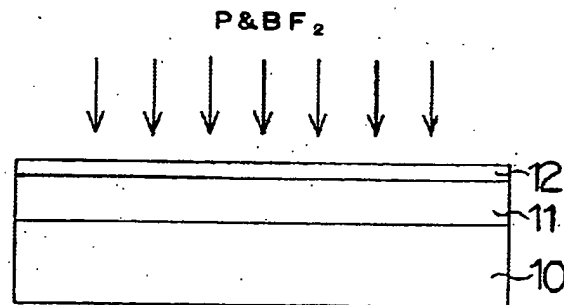
AV06 EZ12 EZ13 EZ20

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 A1配線や熱処理による抵抗値変動の少ない高性能な高抵抗の多結晶シリコン抵抗素子を得る。

【解決手段】 シリコン基板10に形成されたフィールド酸化膜11上に、CVD法により150nm程度の多結晶シリコン膜12を形成し、この多結晶シリコン膜12中にN型の不純物 (例えばリン) とP型の不純物 (例えばホウ素) を多結晶シリコン中の総濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上程度となるようにイオン注入する。例えばリンを不純物濃度が $1.7 \times 10^{20} \text{ cm}^{-3}$ となるようにイオン注入し、ホウ素を不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ となるようにイオン注入する。このように注入されたN型の不純物とP型の不純物は総濃度が $3.7 \times 10^{20} \text{ cm}^{-3}$ となるが、互いに相殺しあうため、P型の不純物の $3 \times 10^{19} \text{ cm}^{-3}$ 分しか電導に寄与せず、抵抗率が $1 \times 10^{-2} \sim 1 \times 10^{-1} \Omega \cdot \text{cm}$ 程度の高抵抗を実現することができる。



10…シリコン基板

11…フィールド酸化膜

12…多結晶シリコン膜

【特許請求の範囲】

【請求項1】 第1導電型の不純物およびこの第1導電型と逆の導電型である第2導電型の不純物を含む半導体材料で形成された抵抗素子を半導体基体上に有することを特徴とする半導体装置。

【請求項2】 前記抵抗素子が、前記半導体材料中の第1導電型の不純物の濃度と第2導電型の不純物の濃度の差を調整することにより $1 \times 10^{-2} \Omega \cdot \text{cm}$ 以上の抵抗率を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記抵抗素子に含まれる第1導電型の不純物と第2導電型の不純物の濃度の総和が $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記半導体材料が多結晶シリコン又は非晶質シリコンであることを特徴とする請求項1記載の半導体装置。

【請求項5】 半導体基体上に導電膜を形成する工程と、
パターンニングにより抵抗素子を形成する前記導電膜の抵抗素子形成領域に第1導電型の不純物を導入する工程と、
前記導電膜の抵抗素子形成領域に前記第1導電型と逆の導電型である第2導電型の不純物を導入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 パターンニングにより前記抵抗素子とは異なる導電部を形成する前記導電膜の導電部形成領域に前記抵抗素子形成領域と同時に前記第1導電型の不純物を導入する工程を有することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 パターンニングにより前記導電部とは異なる第2の導電部を形成する前記導電膜の第2導電部形成領域に前記抵抗素子形成領域と同時に前記第2導電型の不純物を導入する工程を有することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記抵抗素子が、前記導電膜中の第1導電型の不純物の濃度と第2導電型の不純物の濃度の差を調整することにより $1 \times 10^{-2} \Omega \cdot \text{cm}$ 以上の抵抗率を有することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項9】 前記抵抗素子に含まれる第1導電型の不純物と第2導電型の不純物の濃度の総和が $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項10】 前記導電膜が多結晶シリコン又は非晶質シリコンからなることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項11】 前記抵抗素子とは異なる導電部が、MOSトランジスタのゲート部またはバイポーラトランジスタのベース電極取出し部であることを特徴とする請求

項6記載の半導体装置の製造方法。

【請求項12】 前記導電部および前記第2の導電部が、それぞれMOSトランジスタのゲート部およびバイポーラトランジスタのベース電極取出し部であることを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、抵抗素子を搭載した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 最近の半導体集積回路に要求される特性の高精度化に伴い、トランジスタ等の受動素子だけでなく、抵抗等能の能動素子の高精度化技術が注目を集めている。半導体集積回路に用いられる抵抗として代表的には、基板シリコン中に導入された不純物拡散層を使った拡散抵抗と、絶縁膜上に形成された多結晶シリコン薄膜を用いた多結晶シリコン抵抗の2種類が挙げられる。中でも多結晶シリコン抵抗は、寄生容量が少なく、FET効果もなく、バイアス制限もないことから、多結晶シリコンを用いるプロセスにおいてよく活用されている。

【0003】 一般的な多結晶シリコン抵抗は、図10に示すように、シリコン酸化膜1上に形成された、所定の不純物をドーピングした多結晶シリコン2と、2つの電極3からなりたっている。この多結晶シリコン抵抗においては、多結晶シリコン中の不純物濃度を変化させることによって、異なる抵抗率を持つ複数の抵抗を有することが可能となる。

【0004】 ところで、配線材料としては、エレクトロマイグレーション耐性、耐熱性等の見地から、Ti/TiON/Al-Si等のようにAl配線にTiおよびTi合金を有するバリアメタルが通常用いられているが、多結晶シリコン抵抗においては、上部にAl配線が重なったとき、このAl配線にバリアメタルとして用いられているTiにより多結晶シリコン中の水素が吸収され、抵抗値が上昇するという問題がある。これは、Ti等の水素吸収により、多結晶シリコン中の結晶粒界のダングリングボンドに結合していた水素が引き抜かれ、これによりダングリングボンドが増加してトラップ密度が増加するため、電子移動度が減少して抵抗値の上昇を生じるものである。この作用は、多結晶シリコン抵抗に近接したAl配線によっても生じる。そして、このTiの影響による抵抗値の上昇は安定したものではないため、抵抗値の絶対精度が悪くなるという大きな問題を引き起こす。

【0005】 さらに、抵抗比の精度が重要な回路においては、Al配線も含めて素子のレイアウトを同一にする必要があり、レイアウトという点でも大きな制約をもたらす。場合によっては、この問題の対策のため、必要以上のレイアウト面積を必要とすることもあり、半導体集積回路の微細化に対して不利となる。

【0006】また、通常のシリサイドプロセスにおいては、素子のコンタクト部を開口した後、全面にTiを形成し、その後熱処理を加えることにより、コンタクト部のみシリコンと反応させてシリサイド化し、ついでシリサイド化していない部分のTiを除去することにより、コンタクト部の抵抗低減を行う。この場合、シリサイド化の熱処理時に層間膜を介してTiが多結晶シリコン中の水素が吸われ、抵抗値が上昇してしまう。

【0007】また、仮にTi等の水素の吸収率が高い物質がなくても、シンター等の熱処理により、層間膜への水素の拡散は生じるため、多結晶シリコン中の水素の量が増え、工程間の熱履歴による抵抗値のばらつきを生み出すことになる。

【0008】なお、上記の問題は、高い抵抗率を有する多結晶シリコン抵抗ほどダングリングボンドが多くなるため、大きな問題となってくる。一例として、図11にAl配線を被せた場合の多結晶シリコン抵抗の抵抗率(ρ)による抵抗値の変動量(ΔR)を示す。図2において、抵抗率が $1 \times 10^{-2} \Omega \cdot \text{cm}$ 程度になると、Al配線を被ることにより、抵抗が4%程度上昇してしまう。この変動は、抵抗の精度という点で極めて不利である。それは、多結晶シリコン抵抗をレイアウトするときに、Al配線の影響まで含めて考慮する必要があり、素子のレイアウトにおいて極めて大きな制限を課すことになるからである。一方、半導体集積回路の高集積化のためには抵抗素子の縮小化、つまり抵抗率の高い抵抗の実現が必要であり、この点から考えると、上記抵抗値変動は極めて不利な問題となってくる。

【0009】これらの問題を回避する方法としては、水素の拡散が遅い膜、例えばシリコン窒化膜で多結晶シリコン抵抗を覆う方法がある。このような膜で覆うことにより、バリアメタルのTiによる水素吸収が抑えられ、抵抗値の上昇を抑えることが可能になる。しかしながら、この方法には、シリコン窒化膜の応力の問題で素子の歩留まりを低下させる等の難点があった。

【0010】

【発明が解決しようとする課題】上述したように、従来技術では、水素の吸収率の高い物質（例えばAl配線にバリアメタルとして通常用いられているTi等）による多結晶シリコン中の水素吸収に伴う抵抗値の変動や、シンター等の熱処理工程での水素拡散による抵抗値の変動を抑えることは困難で、抵抗値の変動の影響が大きい高抵抗の抵抗素子の高精度化を歩留まり良く安定に実現することができなかった。

【0011】本発明は、上記問題に対処してなされたもので、Al配線や熱処理による抵抗値変動の少ない高性能な高抵抗の抵抗素子を得ることができる半導体装置およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記した従来技術におけ

る抵抗値変動の問題は、多結晶シリコン中の結晶粒界のダングリングボンドに結合していた水素が引き抜かれやすいために生じている問題である。一方、図11に示すように、Al配線を被ることによる抵抗値の変動は、多結晶シリコンの抵抗率が低くなるほど小さくなる。これは、抵抗率が低いということは多結晶シリコン中の不純物濃度が高いということで、多結晶シリコン中のダングリングボンドが多結晶シリコン中の不純物と結合する量が増えるため、ダングリングボンド自体が減少し、その結果ダングリングボンドに結合する水素の総量が減少するためと考えられる。この場合、ダングリングボンドに結合する水素が引き抜かれとしても、その量は少ないため、トラップ密度の増加は抑制され、トラップ密度の増加に伴う電子移動度の低下が抑えられて、抵抗値の変動は小さくなる。

【0013】本発明はかかる知見に基づいてなされたもので、不純物濃度の高い高抵抗の抵抗素子を実現することで、上記従来技術の問題点を解消した半導体装置を製造する。

【0014】すなわち、請求項1の発明の半導体装置は、第1導電型の不純物およびこの第1導電型と逆の導電型である第2導電型の不純物を含む半導体材料で形成された抵抗素子を半導体基体上に有することを特徴とする。

【0015】また、請求項2の発明は、請求項1の半導体装置において、前記抵抗素子が、前記半導体材料中の第1導電型の不純物の濃度と第2導電型の不純物の濃度の差を調整することにより $1 \times 10^{-2} \Omega \cdot \text{cm}$ 以上の抵抗率を有することを特徴とする。

【0016】また、請求項3の発明は、請求項1の半導体装置において、前記抵抗素子に含まれる第1導電型の不純物と第2導電型の不純物の濃度の総和が $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることを特徴とする。

【0017】また、請求項4の発明は、請求項1の半導体装置において、前記半導体材料が多結晶シリコン又は非晶質シリコンであることを特徴とする。

【0018】請求項5の発明の半導体装置の製造方法は、半導体基体上に導電膜を形成する工程と、パターニングにより抵抗素子を形成する前記導電膜の抵抗素子形成領域に第1導電型の不純物を導入する工程と、前記導電膜の抵抗素子形成領域に前記第1導電型と逆の導電型である第2導電型の不純物を導入する工程とを有することを特徴とする。

【0019】また、請求項6の発明は、請求項5の半導体装置の製造方法において、パターニングにより前記抵抗素子とは異なる導電部を形成する前記導電膜の導電部形成領域に前記抵抗素子形成領域と同時に前記第1導電型の不純物を導入する工程を有することを特徴とする。

【0020】また、請求項7の発明は、請求項6の半導体装置の製造方法において、パターニングにより前記導

電部とは異なる第2の導電部を形成する前記導電膜の第2導電部形成領域に前記抵抗素子形成領域と同時に前記第2導電型の不純物を導入する工程を有することを特徴とする。

【0021】また、請求項8の発明は、請求項5の半導体装置の製造方法において、前記抵抗素子が、前記導電膜中の第1導電型の不純物の濃度と第2導電型の不純物の濃度の差を調整することにより $1 \times 10^{-2} \Omega \cdot \text{cm}$ 以上の抵抗率を有することを特徴とする。

【0022】また、請求項9の発明は、請求項5の半導体装置の製造方法において、前記抵抗素子に含まれる第1導電型の不純物と第2導電型の不純物の濃度の総和が $1 \times 10^{20} \text{cm}^{-3}$ 以上であることを特徴とする。

【0023】また、請求項10の発明は、請求項5の半導体装置の製造方法において、前記導電膜が多結晶シリコン又は非晶質シリコンからなることを特徴とする。

【0024】また、請求項11の発明は、請求項6の半導体装置の製造方法において、前記抵抗素子とは異なる導電部が、MOSトランジスタのゲート部またはバイポーラトランジスタのベース電極取出し部であることを特徴とする。

【0025】また、請求項12の発明は、請求項7の半導体装置の製造方法において、前記導電部および前記第2の導電部が、それぞれMOSトランジスタのゲート部およびバイポーラトランジスタのベース電極取出し部であることを特徴とする。

【0026】請求項1～5、8～10の発明において、抵抗素子を形成する例えば多結晶シリコン又は非晶質シリコンに、N型の不純物例えばリンとP型の不純物例えばホウ素を導入し、多結晶シリコン又は非晶質シリコン中のN型とP型の不純物濃度の差を調整することで、高抵抗の抵抗素子が形成される。この高抵抗の抵抗素子は、N型の不純物とP型の不純物を含むため、多結晶シリコン又は非晶質シリコン中の不純物濃度が高く、水素吸収や水素拡散に伴う抵抗値の変動が少ない安定した高精度のものとなる。

【0027】請求項6、7、11、12の発明においては、抵抗素子の高抵抗およびMOSトランジスタのゲート部やNPNトランジスタのベース電極取出し部等の低抵抗を同一の多結晶シリコン又は非晶質シリコンで形成するプロセスで、多結晶シリコン又は非晶質シリコンの導電膜の抵抗素子形成領域にN型の不純物とP型の不純物を順次導入する際に、MOSトランジスタのゲート部形成領域にN型の不純物を同時に導入し、NPNトランジスタのベース電極取出し部にP型の不純物を同時に導入することで、抵抗値変動の小さい高性能な高抵抗の抵抗素子と、導電型の異なる複数の低抵抗が、工程を増やさずことなく同時に形成可能となる。

【0028】

【発明の実施の形態】以下、図面に基づいて本発明の実

施の形態を説明する。なお、ここで形成される抵抗素子は、抵抗率が $1 \times 10^{-2} \Omega \cdot \text{cm}$ 程度以上の高抵抗の多結晶シリコン抵抗が望ましい。

【0029】図1～3は、本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図である。まず、図1において、シリコン基板10に形成されたフィールド酸化膜11上に、CVD法により150nm程度が多結晶シリコン膜12を形成する。

【0030】ついで、図2において、リン等のN型の不純物とホウ素等のP型の不純物のイオン注入を行う。ここで、イオン注入は、N型の不純物とP型の不純物の多結晶シリコン中の総濃度が $1 \times 10^{20} \text{cm}^{-3}$ 以上程度となるように設定する。例えば、多結晶シリコンの膜厚を150nmとした場合、N型の不純物となるリンのイオン注入を、Pを40keVで $2.5 \times 10^{15} \text{cm}^{-2}$ にて行う。これにより、多結晶シリコン中のリンの不純物濃度は $1.7 \times 10^{20} \text{cm}^{-3}$ となる。また、これに、P型の不純物となるホウ素のイオン注入を、BF₂を30keVで $3 \times 10^{15} \text{cm}^{-2}$ にて行う。これにより、多結晶シリコン中のホウ素の不純物濃度は $2 \times 10^{20} \text{cm}^{-3}$ となる。

【0031】このように注入されたN型の不純物とP型の不純物は総濃度が $3.7 \times 10^{20} \text{cm}^{-3}$ となるが、互いに相殺しあうため、P型の不純物の $3 \times 10^{19} \text{cm}^{-3}$ 分しか電導に寄与しない。この結果、抵抗率が $1 \times 10^{-2} \sim 1 \times 10^{-1} \Omega \cdot \text{cm}$ 程度の高抵抗を実現することができる。一方、不純物の総量が多いため、不純物と結合するダングリングボンドの量が増え、結果的に多結晶シリコン中のダングリングボンドを減少させることができる。

【0032】なお、ここでは、P型の不純物がN型の不純物より多い例を挙げたが、N型の不純物の方が多い場合でも、同様の考えにより高抵抗を実現することができるため、これに限定されない。

【0033】また、ここでは、ドーピングしていない多結晶シリコン膜を成膜した後、イオン注入によりP型の不純物とN型の不純物を多結晶シリコン膜中に導入しているが、これに限らず、例えば、リンをドーピングした多結晶シリコン膜を成膜した後、P型の不純物をイオン注入してもよい。

【0034】ついで、図3において、レジストパターンを用いて、Cl₂/CH₂F₂/SF₆ガス系によるドライエッチングにより、多結晶シリコン抵抗13を形成する。続いて、一般的に知られている通常のプロセスに従って、多結晶シリコン抵抗13の取り出し電極14が形成される。

【0035】上記実施の形態によれば、P型の不純物とN型の不純物で形成した多結晶シリコン抵抗は、単一の導電型の不純物で形成した多結晶シリコン抵抗と比べて、多結晶シリコン中のダングリングボンドを減らすこ

とができるので、ダングリングボンドに結合している水素の移動に伴う抵抗の変動を小さくすることができる。

【0036】また、第1の実施の形態において、N型とP型の2種類の不純物を順次導入する図2の工程で、いずれかの不純物を導入する際に、フォトレジスト等を用いたパターンニングによりその不純物を導入しない領域を設けることにより、N型とP型の両方の不純物が入った複合型領域と、N型とP型のいずれか一方の不純物のみ入った単一型領域を同時に形成することができる。ここで、単一型領域に導入する導電型の不純物の濃度を、両者の不純物の濃度差より大きく設定することにより、単一型による抵抗率の低い領域と複合型による抵抗率の高い領域を得ることができる。このように、この実施の形態によれば、抵抗率の異なる多結晶シリコン抵抗を工程を増やすことなく同時に形成することが容易となるため、半導体集積回路の設計上、用途に応じた抵抗素子の使い分けが可能となり、半導体集積回路の高性能化につながることもできる。

【0037】図4～9は、本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図である。本実施の形態においては、図4に示すように、NPNトランジスタ形成領域20、NMOSTランジスタ形成領域21、高抵抗の多結晶シリコン抵抗形成領域22とそれぞれ定めて説明する。なお、NMOSTランジスタをPMOSTランジスタとしても、本実施の形態にかかる多結晶シリコン抵抗の形成に関して問題はない。

【0038】図4において、一般に行われているプロセスに従いP型のシリコン基板23上に、Nエピタキシャル層24、フィールド酸化膜25、P⁺素子分離領域26を形成し、かつNPNトランジスタ形成領域20には、コレクタ引出しとなる埋め込みのN⁺領域27、N⁺シンカー28を形成し、NMOSTランジスタ形成領域21にはPウェル29を形成する。

【0039】次に、図5において、800～950℃の熱酸化により厚さ15～50nmのゲート酸化膜30を形成する。さらに、NPNトランジスタの活性領域の酸化膜30をフォトレジストを用いたパターンニングによりエッチングし、開口部31を形成した後、CVD法により150nm程度の多結晶シリコン膜32を形成する。

【0040】ついで、図6において、フォトレジスト33をマスクとして用いて、リン等のN型の不純物のイオン注入を行う。ここで、ゲート電極を形成する領域の多結晶シリコン中の不純物濃度を $1 \times 10^{20} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 程度にすることによって、低抵抗を実現することができる。また、この際のフォトレジスト33のパターンニングは、多結晶シリコン抵抗形成領域22にも同時にこのイオン注入が行われるように実施する。

【0041】ついで、図7において、フォトレジスト34をマスクとして用いて、BF₃等のP型の不純物のイ

オン注入を行う。ここで、NPNトランジスタのベース電極引出し部を形成する領域の多結晶シリコン中の不純物濃度を $1 \times 10^{20} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 程度にすることによって、低抵抗を実現することができる。またこのとき、フォトレジスト34をマスクとするパターンは、多結晶シリコン抵抗形成領域22にも同時にイオン注入が行われるように形成される。

【0042】例えば、多結晶シリコン膜32を150nmとした場合、ゲート電極を形成するためのイオン注入を、リンを $2.5 \times 10^{15} \text{ cm}^{-2}$ で40keVにて行うことによって、多結晶シリコン中のリンの不純物濃度は $1.7 \times 10^{20} \text{ cm}^{-3}$ となる。そして、その後の熱処理により若干の差はあるが、 $5 \times 10^{-4} \sim 5 \times 10^{-3} \Omega \cdot \text{cm}$ 程度の抵抗率を得ることができる。

【0043】また、ベース電極引出し部を形成するためのイオン注入を、BF₃を $3 \times 10^{15} \text{ cm}^{-2}$ にて30keVで行うことによって、多結晶シリコン中のホウ素の不純物濃度は $2 \times 10^{20} \text{ cm}^{-3}$ となる。そして、この場合、 $2 \times 10^{-3} \sim 1 \times 10^{-2} \Omega \cdot \text{cm}$ 程度の抵抗率を得ることができる。

【0044】一方、上記両者のイオン注入が行われる多結晶シリコン抵抗形成領域22では、P型の不純物とN型の不純物が相殺しあい、結果として両者の濃度差となるP型の不純物の $3 \times 10^{19} \text{ cm}^{-3}$ 分しか電導に寄与しないため、抵抗率が $1 \times 10^{-2} \sim 1 \times 10^{-1} \Omega \cdot \text{cm}$ 程度の高抵抗を実現することができる。この場合、不純物の総濃度は高いため、不純物と結合するダングリングボンドの量が増え、結果的に多結晶シリコン中のダングリングボンドを減少させることができる。したがって、ダングリングボンドに結合している水素の移動に伴う抵抗値の変動を小さくした高抵抗を素子を実現することができる。

【0045】なお、ここでは、P型の不純物がN型の不純物より多い例を挙げたが、N型の不純物の方が多い場合でも、同様の考えにより高抵抗を実現することができるため、これに限定されない。

【0046】また、本実施の形態では、イオン注入により、各導電型の領域を形成しているが、例えば、N型の領域をSiO₂膜をマスクとしたPGSからの固相拡散によって形成してもよい。この場合には、多結晶シリコン中のリン濃度を考慮して、P型のイオン注入を行えばよい。

【0047】ついで、図8において、レジストパターンを用いて、Cl₂/CH₂F₂/SF₆ガス系によるドライエッチングにより、NPNトランジスタのベース電極引出し部35、NMOSTランジスタの多結晶シリコンゲート36、高抵抗多結晶シリコン抵抗37を形成する。

【0048】その後、図9において、一般的に知られている通常のNPNトランジスタ、MOSTランジスタの

形成方法により、NPNトランジスタのエミッタ電極38、ベース電極39、コレクタ電極40、およびNMOストランジスタのゲート電極(図示せず)、ソース電極41、ドレイン電極42、および高抵抗多結晶シリコン抵抗の電極43が形成される。

【0049】本実施の形態によれば、NPNトランジスタ、MOSトランジスタで構成されるBiCMOSのプロセスで、工程の増加なく、前述したような抵抗値の変動の少ない安定した高精度の高抵抗の多結晶シリコン抵抗を実現することが可能となり、より高精度の半導体集積回路を設計することが可能となる。

【0050】なお、上記実施の形態では、多結晶シリコン抵抗を対象として説明したが、本発明の方法は、非晶質シリコン抵抗にも適用することができる。

【0051】

【発明の効果】上記したように、請求項1および5の発明によれば、半導体材料にN型の不純物とP型の不純物を導入して任意の抵抗率を有する抵抗素子を形成することにより、高い抵抗率を得るために半導体材料中の不純物濃度を低くする必要がなくなり、A1配線による水素吸収に伴う抵抗値の変動や熱処理による水素拡散に伴う抵抗値の変動の少ない高性能な高抵抗の抵抗素子を得ることができる。また、これにより、抵抗比が重要な回路でも、設計する上でA1配線の影響を考慮する必要がなくなり、レイアウト上の制約が緩和されるため、半導体集積回路の縮小化および高精度化を実現することができる。

【0052】請求項6、7の発明によれば、多結晶シリコン又は非晶質シリコンの導電膜にN型とP型の2種類の不純物を導入する領域と、一方の導電型の不純物のみ導入する領域をパターンニングにより形成することにより、高抵抗と低抵抗を工程を増やすことなく容易に得ることができる。これにより、半導体集積回路の設計の上で、用途に応じた抵抗素子の使い分けが可能となり、半導体集積回路の高性能化を図ることができる。

【0053】請求項11、12の発明によれば、抵抗素子の高抵抗およびMOSトランジスタのゲート部やNPNトランジスタのベース電極取出し部等の低抵抗を同一の多結晶シリコン又は非晶質シリコンで形成するプロセスで、多結晶シリコン又は非晶質シリコンの抵抗素子形成領域にN型の不純物とP型の不純物を順次導入する際に、MOSトランジスタのゲート部形成領域にN型の不純物を同時に導入し、NPNトランジスタのベース電極取出し部にP型の不純物を同時に導入することにより、

抵抗値変動の小さい高性能な高抵抗の抵抗素子と、導電型の異なる複数の低抵抗を、工程を増やすことなく同時に形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その1)である。

【図2】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その2)である。

【図3】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その3)である。

【図4】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その1)である。

【図5】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その2)である。

【図6】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その3)である。

【図7】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その4)である。

【図8】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その5)である。

【図9】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図(その6)である。

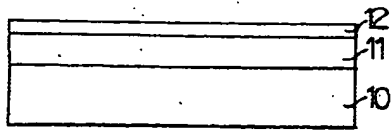
【図10】一般的な多結晶シリコン抵抗を示す断面図である。

【図11】従来の多結晶シリコン抵抗のA1配線による抵抗値変動の抵抗率依存を示す図である。

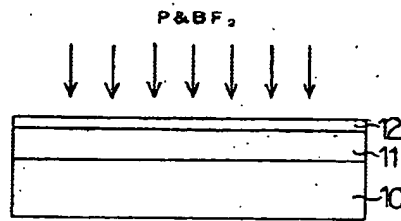
【符号の説明】

10、23……シリコン基板、11、25……フィールド酸化膜、12、32……多結晶シリコン膜、13、37……多結晶シリコン抵抗、20……NPNトランジスタ形成領域、21……NMOSトランジスタ形成領域、22……多結晶シリコン抵抗形成領域、33、34……フォトレジスト、35……ベース電極引出し部、36……多結晶シリコンゲート

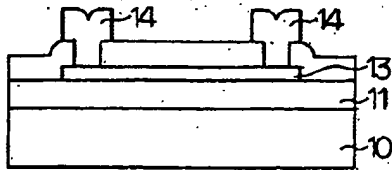
【図1】



【図2】

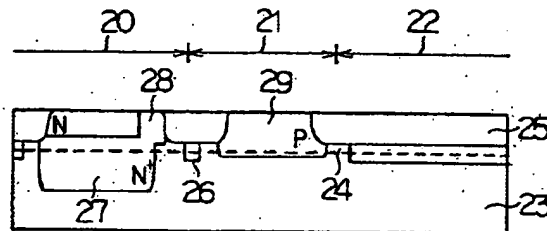


【図3】

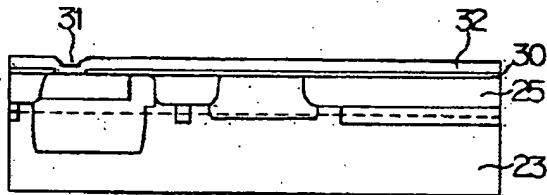


10...シリコン基板
11...フィールド酸化膜
12...多結晶シリコン膜

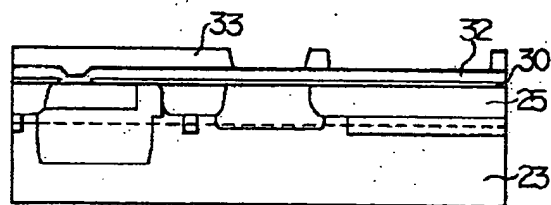
【図4】



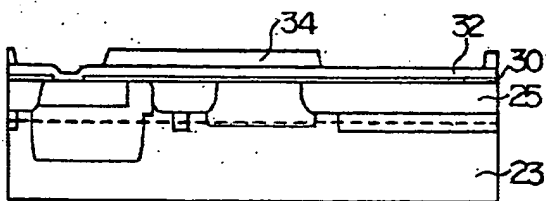
【図5】



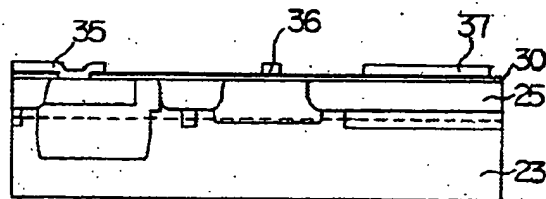
【図6】



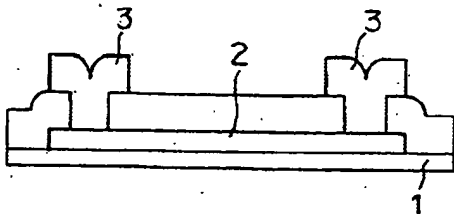
【図7】



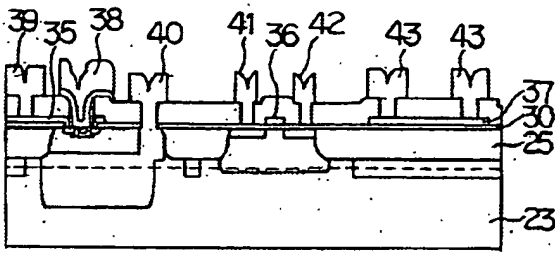
【図8】



【図10】



【図9】



【図11】

